

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 07-288974

(43)Date of publication of application : 31.10.1995

(51)Int.Cl.

H02M 3/155

**(21)Application number : 06-076063**

(71)Applicant : SHARP CORP

(22)Date of filing : 14.04.1994

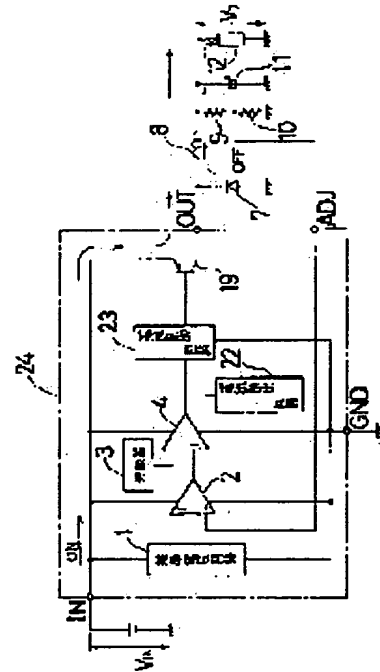
(72)Inventor : SUZUKI TOMOHIRO

**(54) CHOPPER REGULATOR AND CHOPPER REGULATOR IC**

**(57)Abstract:**

**PURPOSE:** To prevent efficiency from lowering in the low output current range when a PNP transistor is employed as an output transistor.

**CONSTITUTION:** A regulator for stabilizing the output voltage through switching control of a PNP output transistor 19 based on the error between an output voltage and a reference voltage is provided with a circuit 22 for detecting the output current flowing through the output transistor 19. The regulator also provided with a current control circuit 23 for decreasing the base current of the output transistor 19 when the output current detected through the current detection circuit 22 is low.



## LEGAL STATUS

[Date of request for examination] 16.01.1998

**[Date of sending the examiner's decision of rejection]**

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

**[Date of final disposal for application]**

[Patent number] 3174217

[Date of registration] 30.03.2001

**[Number of appeal against examiner's decision of rejection]**

**[Date of requesting appeal against examiner's decision of rejection]**

**[Date of extinction of right]**

Copyright (C); 1998,2003 Japan Patent Office

**BEST AVAILABLE COPY**

**Japanese Publication for Unexamined Patent Application****N . 288974-1995 (Tokukaih i 7-288974)****A. Relevance of the above-identified Document**

This document has relevance to claims 1 and 14 of the present application.

**B. Translation of the Relevant Passages of the Document**

[WHAT IS CLAIMED IS]

[CLAIM 1]

A chopper-type regulator, which controls switching of an output transistor constituted of a PNP transistor in accordance with an error between a reference voltage and an output voltage so as to stabilize the output voltage, comprising:

a current detecting circuit for detecting an output current flowing to the output transistor; and

a current control circuit for controlling a base current, in accordance with the output current detected by the current detecting circuit, so as to reduce the base current when the output current is small.

[PROBLEMS TO BE SOLVED BY THE INVENTION]

[0025]

The object of the invention recited in claim 1 or 4 is to provide a chopper-type regulator and a chopper-type regulator IC, using a PNP

transistor as an output transistor, which detect the output current and control a base current of the output transistor in accordance with the detected output current, thereby preventing efficiency drop that occurs when the output current is small.

[MEANS TO SOLVE THE PROBLEMS]

[0027]

In order to solve the foregoing problems, the chopper-type regulator according to the invention recited in claim 1 is used as a chopper-type regulator which controls switching of the output transistor constituted of the PNP transistor in accordance with error between the reference voltage and the output voltage so as to stabilize the output voltage, and the chopper-type regulator includes: a current detecting circuit for detecting the output current flowing in the output transistor; and a current control circuit for controlling the base current flowing to the output transistor, in accordance with the output current detected by the current detecting circuit, so as to reduce the base current in a range where the output current is small.

[ACTION]

The following description explains action of the invention recited in claims 1 and 4.

[0032]

When the output current is small, the current detecting circuit and the current control circuit reduce the base current of the output transistor. Thus, when the output current is small, loss caused by the base current of the output transistor is reduced. That is, when loss

(collector loss) caused by a collector-emitter voltage of the output transistor varies due to increase/decrease of the output current, the loss caused by the base current accordingly increases/decreases. As a result, a ratio of (i) the loss caused by the base current with respect to (ii) the collector loss does not rise even when the output current is small. That is, the efficiency is improved in an range where the output current is small.

[EXAMPLES]

The following description explains examples of the present invention with reference to attached drawings.

[0038]

Fig. 1 is a block diagram showing an electric structure of one example of a voltage mode chopper-type regulator and a chopper-type regulator IC out of the invention recited in claims 1 and 4. Note that, in Fig. 1, reference signs which are the same as in Fig. 9 are given to blocks having the same structures shown in Fig. 9.

[0039]

A reference voltage circuit 1 is a block which generates a reference voltage, having (i) an extremely minute coefficient with respect to an input voltage  $V_{IN}$  applied to an input terminal IN and (ii) an extremely minute temperature coefficient, which is a stabilized and predetermined voltage. Further, thus generated reference voltage is transmitted to a non-inversion input of an error amplifier 2.

[0040]

Further, the error amplifier 2 is a block which amplifies a

difference between a voltage led to a terminal ADJ connected to an inversion input and the reference voltage so as to output the difference as an error signal. Further, the error signal is transmitted to a non-inversion input of a PWM comparator 4.

[0041]

An oscillator 3 is constituted of an integration circuit or the like of a constant current, and functions as a block which generates a wave. Further, thus generated wave is transmitted to an inversion input of the PWM comparator 4.

[0042]

The PWM comparator 4 is a block which compares the wave generated by the oscillator 3 with the error signal. Further, a comparison result is transmitted to a current control circuit 23.

[0043]

A current detecting circuit 22 is a block which detects, as an output current, a current in an arbitrary position of a current path extending from the input terminal IN to a load 12. Further, a detection result is transmitted to the current control circuit 23.

[0044]

The current control circuit 23 is a block which controls ON/OFF of an output transistor 19 in accordance with the comparison result given by the PWM comparator 4, and turns ON the output transistor 19 when an H level is transmitted from the PWM comparator 4. Further, a current caused to flow to the base of the output transistor 19 is increased/decreased in accordance with the detection result given by the

current detecting circuit 22. That is, in a case where the detection result of the current detecting circuit 22 indicates that the output current is small, the base current of the output transistor 19 is reduced. Further, in a case where the detection result of the current detecting circuit 22 indicates that the output current is large, the base current of the output transistor 19 is increased.

[0045]

The output transistor 19 reduces the collector-emitter voltage when its ON so as to reduce the collector loss. Thus, the PNP transistor is used as the output transistor 19. The output transistor 19 switches a current that is led to the input terminal IN under control of the current control circuit 23, and transmits thus switched current to an output terminal OUT.

[0046]

A catch diode 7 whose cathode is connected to the output terminal OUT and anode is grounded forms a close circuit between a coil 8 and a load 12 when the output transistor 19 is OFF. Further, a current brought about by energy stored in the coil 8 flows to the diode.

[0047]

The coil 8 is a block which stores and releases energy when the output transistor 19 switches, and converts the switched voltage into a direct current by forming a counterpart with respect to the catch diode 7 and an output capacitor 11.

[0048]

A voltage dividing circuit constituted of two resistors 9 and 10 is

a block which sets a voltage applied to the load 12, and generates a divided voltage that should be transmitted to the terminal ADJ.

[0049]

Note that, in Fig. 1, a block indicated by 24 is a block which is sealed in a package of the chopper-type regulator IC. A structure for packaging is detailed later.

[0050]

The following description explains operations in the example having the foregoing arrangement.

[0051]

An output voltage  $V_0$  is divided by the voltage dividing circuit constituted of resistors 9 and 10, and the divided voltage is led to the error amplifier 2 via the terminal ADJ. Thus, an error between the divided voltage and the reference voltage is amplified by the error amplifier 2, and is outputted as the error signal. The PWM comparator 4 compares the wave outputted by the oscillator 3 with the error signal, and generates a signal for switching the output transistor 19, and transmits thus generated voltage to the current control circuit 23.

[0052]

While, the current detecting circuit 22 detects an output current when the output transistor 19 is ON, and transmits the detection result to the current control circuit 23. Thus, the current control circuit 23 draws a base current whose value corresponds to the current value detected by the current detecting circuit 22 when the output transistor 19 is turned ON. That is, the current control circuit 23 draws a larger

base current in a case where the detection result of the current detecting circuit 22 indicates that the output current is large. Further, the current control circuit 23 draws a smaller base current in a case where the detection result of the current detecting circuit 22 indicates that the output current is small.

[0053]

As a result of the foregoing control, when the output transistor 19 is ON, a current led to the input terminal IN is supplied to the load 12 via the output transistor 19 and the coil 8. At this time, the coil 8 stores energy. When the output transistor 19 becomes OFF, the energy stored in the coil 8 is supplied to the load 12 via a path formed by the catch diode 7.

[0054]

A stabilized direct current voltage is supplied to the load 12 due to the foregoing operation. At this time, in a case where the output current is small, the base current of the output transistor 19 is controlled so as to be smaller.

[0055]

[Expression 3]

Output transistor 19's base current  $\times$  input voltage  $V_{IN} \times$  duty  
The driving loss indicated by the foregoing expression decreases in a range where the output current is small. Thus, as shown by H of Fig. 14, a relationship between the output current and the efficiency is such that: there is no drop even in an area where the output current is small.

[EFFECTS OF THE INVENTION]



[0113]

The chopper-type regulator according to the invention recited in claims 1 and 4 is used as a chopper-type regulator which controls switching of the output transistor constituted of the PNP transistor in accordance with error between the reference voltage and the output voltage so as to stabilize the output voltage, and the chopper-type regulator includes: a current detecting circuit for detecting the output current flowing in the output transistor; and a current control circuit for controlling the base current flowing to the output transistor, in accordance with the output current detected by the current detecting circuit, so as to reduce the base current in a range where the output current is small. Further, there is provided a current control circuit which controls a base current flowing to the output transistor, in accordance with the output current detected by the current detecting circuit, so as to reduce the base current when the output current is small, so that the base current of the output transistor is controlled so as to correspond to the detected output current. Thus, it is possible to prevent the efficiency drop which occurs in a range where the output current is small.

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開平7-288974

(43)公開日 平成7年(1995)10月31日

(51)Int.Cl.<sup>6</sup>

H 0 2 M 3/155

識別記号

庁内整理番号

H

F I

技術表示箇所

審査請求 未請求 請求項の数4 O L (全 16 頁)

(21)出願番号 特願平6-76063

(22)出願日 平成6年(1994)4月14日

(71)出願人 000005049

シャープ株式会社

大阪府大阪市阿倍野区長池町22番22号

(72)発明者 鈴木 友広

大阪府大阪市阿倍野区長池町22番22号 シ

ャープ株式会社内

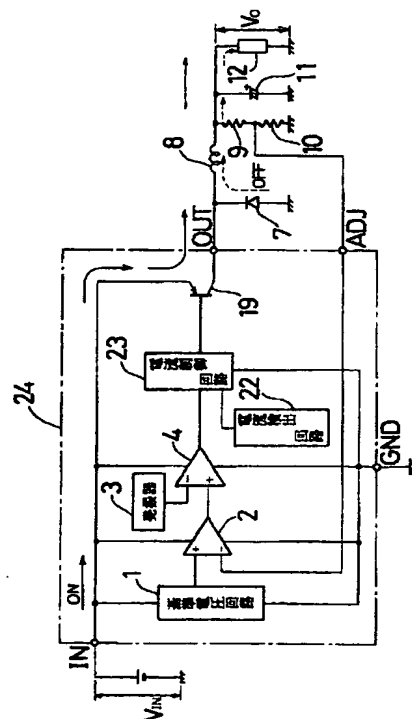
(74)代理人 弁理士 倉内 義朗

(54)【発明の名称】 チョッパ型レギュレータおよびチョッパ型レギュレータ I C

(57)【要約】

【目的】 出力トランジスタをPNPトランジスタとしたとき、出力電流が小さい範囲において生じる効率の低下を防止する。

【構成】 基準電圧と出力電圧との誤差に基づいて、PNPトランジスタである出力トランジスタ19のスイッチングを制御することにより、出力電圧を安定化するレギュレータにおいて、出力トランジスタ19に流れる出力電流を検出する電流検出回路22を備える。また電流検出回路22により検出された出力電流に基づき、この出力電流が少ないときには出力トランジスタ19に流れるベース電流を少なくする制御を行う電流制御回路23を備える。



(2)

## 【特許請求の範囲】

【請求項1】 基準電圧と出力電圧との誤差に基づいて、PNPトランジスタである出力トランジスタのスイッチングを制御することにより、出力電圧を安定化するチョップパ型レギュレータにおいて、前記出力トランジスタに流れる出力電流を検出する電流検出回路と、この電流検出回路により検出された出力電流に基づき、この出力電流が少ないときには前記出力トランジスタに流れるベース電流を少なくする制御を行う電流制御回路とを備えたことを特徴とするチョップパ型レギュレータ。

【請求項2】 前記電流検出回路を、前記出力トランジスタのエミッタにそのエミッタが接続され、前記出力トランジスタのベースにそのベースが接続されたPNPトランジスタである電流検出トランジスタとし、前記電流制御回路は、この電流検出トランジスタのコレクタ電流に基づいて前記出力トランジスタのベース電流を制御することを特徴とする請求項1記載のチョップパ型レギュレータ。

【請求項3】 前記電流検出回路を、前記出力トランジスタのエミッタとコレクタとの電圧差を検出する電圧差検出器としたことを特徴とする請求項1記載のチョップパ型レギュレータ。

【請求項4】 前記出力トランジスタ、前記電流検出回路および前記電流制御回路を集積化して1パッケージとしたことを特徴とする請求項1、2又は3記載のチョップパ型レギュレータIC。

## 【発明の詳細な説明】

## 【0001】

【産業上の利用分野】 本発明は、基準電圧と出力電圧との誤差に基づいて、PNPトランジスタである出力トランジスタのスイッチングを制御することにより、出力電圧を安定化するチョップパ型レギュレータおよびチョップパ型レギュレータICに関する。

## 【0002】

【従来の技術】 電子機器等に必要となる安定化された直流電圧を得るには、一般にレギュレータが用いられている。このレギュレータの一種として、入力電圧より低い出力電圧を得る降圧型レギュレータがあり、この降圧型レギュレータには2種のタイプがある。第1のタイプは、ドロップ方式と呼ばれるレギュレータであって、発生するノイズが小さく、設計が容易であるという利点を持つ反面、入力電圧と出力電圧との差異が大きい場合には、発熱量が多くなり、効率が悪化するという欠点を持つ。

【0003】 第2のタイプは、入力電圧と出力電圧との差異が大きい場合にも効率が低下しないチョップパ方式のレギュレータである。以下に、このチョップパ型レギュレータの従来技術について、図面を参照しつつ説明する。

【0004】 図9は、チョップパ型レギュレータIC13

(以下ではIC13と称する)を用いてレギュレータを構成した場合を示している。このIC13には、基準電圧回路1、誤差増幅器2、発振器3、PWMコンパレータ4、PNPトランジスタであるドライブトランジスタ5、およびNPNトランジスタである出力トランジスタ6が形成されており、電圧モードのパルス幅制御を行って出力電圧を安定化する。なお、IC13には、キャッチダイオード7、コイル8、2つの抵抗9、10からなる分圧回路、および出力コンデンサ11が、不可欠の要素として外付けされる(12は負荷を示している)。

【0005】 以下に、このチョップパ型レギュレータの動作を説明する。

【0006】 先ず、入力端子INに入力電圧 $V_{IN}$ が印加されるとIC13の動作が起動され、出力端子OUTに接続されている抵抗9、10の分圧回路によって分圧された出力電圧が端子ADJにフィードバックされる。端子ADJは、誤差増幅器2の反転入力に接続されているので、誤差増幅器2からは、分圧された出力電圧と基準電圧との誤差を示す誤差信号が出力される。この誤差信号は、図10において、aの2種の波形W1、W2のうち、波形W1として示されている。

【0007】 一方、PWMコンパレータ4においては、発振器3から送出され、波形W2として示される波と、波形W1として示される誤差信号とが比較される。そのためPWMコンパレータ4からは、bにより示す波形信号が出力される。この信号は、ドライブトランジスタ5を介して、出力トランジスタ6のスイッチングを制御する。そのため、負荷12に与えられる電圧は、抵抗9、10により分圧された電圧が、基準電圧と等しくなるように制御される。

【0008】 詳細に説明すると、上記スイッチングにおいては、出力トランジスタ6がオン状態であるとき、入力端子IN、出力トランジスタ6、およびコイル8を介して、電流が負荷12に供給される。また出力トランジスタ6がオフ状態であるときには、出力トランジスタ6がオン状態である期間にコイル8に蓄えられたエネルギーが、負荷12、キャッチダイオード7、コイル8により形成される閉回路に電流を流す(負荷12に電流が供給される)。

【0009】 上記動作において出力トランジスタ6に流れる電流は波形c、キャッチダイオード7に流れる電流は波形d、コイル8に流れる電流は波形eに示す電流となる。そのため負荷12には、波形eの平均値(W3により示す)なる電流が供給されることとなる。

【0010】 ここで、出力トランジスタ6のオン状態となる期間を $t_1$ 、オフ状態となる期間を $t_2$ とし、デューティをMとして、 $M = t_1 / (t_1 + t_2)$ により示すとすると、値Mは、下式

## 【0011】

【数1】  $M = V_O + V_F / (V_{IN} - V_{CE(sat)} + V_F)$

(3)

3

但し  $V_0$  ; 出力電圧  
 $V_F$  ; キャッチダイオード7の順方向電圧  
 $V_{IN}$  ; 入力電圧  
 $V_{CE(sat)}$  ; 出力トランジスタ6のコレクタ・エミッタ間電圧  
 として示される。つまり出力電圧、キャッチダイオード7の順方向電圧、入力電圧、出力トランジスタ6のコレクタ・エミッタ間電圧により、期間  $t_1$ 、 $t_2$  が決定される。

【0012】図11は、電流モードのパルス幅制御を行うチョップパ型レギュレータIC16（以下ではIC16と称する）を用いて構成された従来技術を示している。なお、図11におけるブロックのうち、図9に示したブロックと構成が同一であるブロックには、図9において付与した符号と同一符号を付与している。

【0013】IC16には、基準電圧回路1、誤差増幅器2、発振器17、PWMコンパレータ4、フリップフロップ14、電流検出増幅器15、電流検出用抵抗25、ドライブトランジスタ5、および出力トランジスタ6が形成されている。またキャッチダイオード7、コイル8、抵抗9、10からなる分圧回路、出力コンデンサ11が外付けされる。そして抵抗9、10の分圧回路により分圧された出力電圧と基準電圧との誤差が、誤差増幅器2から、誤差信号として出力される。この誤差信号は、図12では、波形W4として示されている。

【0014】そして電流検出増幅器15から出力され、電流検出用抵抗25に流れる電流値を示す波形W5と、誤差信号を示す波形W4とは、PWMコンパレータ4によって比較される。そのため誤差増幅器2の出力電圧より電流検出増幅器15の出力電圧が高くなると、PWMコンパレータ4の出力はHレベル（gにより示す）となり、フリップフロップ14はリセットされる。このリセットによってドライブトランジスタ5と出力トランジスタ6とはオフとなる。そしてオフ状態は、発振器17から、フリップフロップ14をセットするためのパルス（hにより示す）が送出されたとき、オン状態に反転する。

【0015】上記したように、電流モードのチョップパ型レギュレータは、電流検出用抵抗25に流れる電流を監視することによって、抵抗9、10の分圧回路の分圧電圧と基準電圧の値とに基づき、出力電圧 $V_0$ を制御する。

【0016】なお、図12における波形j、k、lは、上記した電流モードによる制御時の主要電流波形を示しており、jは出力トランジスタ6に流れる電流、kはキャッチダイオード7に流れる電流、lはコイル8に流れる電流の、各電流波形を示している。そして負荷12には、コイル8に流れる電流の平均値（W6により示す）が供給される。

【0017】これら2種のチョップパ型レギュレータの特

4

徴を述べると、電圧モードのチョップパ型レギュレータの方が構成が簡単であるが、出力電圧 $V_0$ が変動してから後になってパルス幅が変化する構成であるため、入力電圧 $V_{IN}$ の変動への追従に遅れが生じるという欠点がある。一方、電流モードのチョップパ型レギュレータは、出力電圧 $V_0$ に変動が生じる以前において、入力電圧 $V_{IN}$ の変動に対応するパルス幅の変化が生じるので、入力電圧 $V_{IN}$ の変動に対する追従は良いが、回路構成が複雑になっている。

【0018】チョップパ型レギュレータには、上記した2種の構成のほかに、電圧モードのチョップパ型レギュレータにおける出力トランジスタを、NPNトランジスタからPNPトランジスタに変更した構成がある。このチョップパ型レギュレータを図13に示す。なお、図13におけるブロックのうち、図9に示したブロックと構成が同一であるブロックについては、図9において付与した符号と同一符号を付与している。

【0019】この構成に使用されるチョップパ型レギュレータIC21には、基準電圧回路1、誤差増幅器2、発振器3、PWMコンパレータ4が設けられている（但し、PWMコンパレータ4は、Hレベルで出力トランジスタ19をオンする）。また図9のドライブトランジスタ5に相当するNPNトランジスタ18のコレクタと、PNPトランジスタにより構成された出力トランジスタ19のベースとは、出力トランジスタ19のベース電流を一定値となるように制御する定電流回路20を介して接続されている。また図9に示す構成と同一の外付け部品が接続されている。

【0020】このように構成されたチョップパ型レギュレータは、電圧モードのチョップパ型レギュレータであり、その動作は、PWMコンパレータ4の出力がHレベルであるとき出力トランジスタ19がオンとなることを除くと、図9に示すチョップパ型レギュレータと動作は同一であるので、説明を省略する。

【0021】

【発明が解決しようとする課題】上記した3つのチョップパ型レギュレータのうち、出力トランジスタにNPNトランジスタを用いた構成では、NPNトランジスタの特性上、オン状態におけるコレクタ・エミッタ間の電圧値が、PNPトランジスタのコレクタ・エミッタ間の電圧値より大きくなる。そのため出力トランジスタ6による損失が大きく、レギュレータとしての効率が低下するという問題を生じていた。

【0022】一方、図13に示したように、出力トランジスタ19にPNPトランジスタを用いた構成では、オン状態におけるコレクタ・エミッタ間電圧が低いことから、出力トランジスタ19の損失が少なく、レギュレータとしての効率が高くなるという特性を有する。しかし、出力トランジスタ19がPNPトランジスタであることに伴う欠点がある。この欠点について以下に説明す

50

(4)

5

る。

【0023】出力トランジスタ19がオン状態となる時には、定電流回路20が、出力トランジスタ19のベース電流を引き込む。このベース電流は、出力電流の大小に関わりなく一定となっており、数10mA等に設定される。またチョッパ型レギュレータは、一般的には、入力電圧 $V_{IN}$ と出力電圧 $V_O$ との差異が大きい場合に使用され、高い入力電圧 $V_{IN}$ が入力端子INに印加される。このため、NPNトランジスタを出力トランジスタに用いたチョッパ型レギュレータと比べたときには、

【0024】

【数2】出力トランジスタ19のベース電流 $\times$ 入力電圧 $V_{IN}$  $\times$ デューティとして示される駆動損失が大きい。また、この駆動損失は、出力電流に関わりなく一定である。このことを出力電流と効率との関係から着目すると、図14のGでもって示すように、出力電流が小さい範囲では、効率の低下を招くという問題を生じていた。

【0025】本発明は上記課題を解決するため創案されたものであって、請求項1又は4記載の発明の目的は、

出力トランジスタにPNPトランジスタを用いた構成において、出力電流の検出を行い、検出した出力電流に対応して出力トランジスタのベース電流を制御することにより、出力電流が小さい範囲において生じる効率の低下を防止することのできるチョッパ型レギュレータおよびチョッパ型レギュレータICを提供することにある。

【0026】また請求項2、3又は4記載の発明の目的は、出力電流の検出を行って出力トランジスタのベース電流を制御するに際し、出力電流の検出において生じる損失を微小とすることのできるチョッパ型レギュレータおよびチョッパ型レギュレータICを提供することにある。

【0027】

【課題を解決するための手段】上記課題を解決するため請求項1記載の発明に係るチョッパ型レギュレータは、基準電圧と出力電圧との誤差に基づいて、PNPトランジスタである出力トランジスタのスイッチングを制御することにより、出力電圧を安定化するチョッパ型レギュレータに適用し、出力トランジスタに流れる出力電流を検出する電流検出回路と、この電流検出回路により検出された出力電流に基づき、この出力電流が少ないときには出力トランジスタに流れるベース電流を少なくする制御を行う電流制御回路とを備えた構成としている。

【0028】また請求項2記載の発明に係るチョッパ型レギュレータは、電流検出回路を、出力トランジスタのエミッタにそのエミッタが接続され、出力トランジスタのベースにそのベースが接続されたPNPトランジスタである電流検出トランジスタとし、電流制御回路は、この電流検出トランジスタのコレクタ電流に基づいて出力トランジスタのベース電流を制御する構成としている。

【0029】また請求項3記載の発明に係るチョッパ型

6

レギュレータは、電流検出回路を、出力トランジスタのエミッタとコレクタとの電圧差を検出する電圧差検出器とした構成を採用している。

【0030】また請求項4記載の発明に係るチョッパ型レギュレータICは、請求項1、2又は3記載の発明において、前記出力トランジスタ、前記電流検出回路および前記電流制御回路を集積化して1パッケージとした構成を用いている。

【0031】

10 【作用】請求項1、4記載の発明の作用を以下に示す。

【0032】電流検出回路と電流制御回路とによって、出力電流が少ないときには、出力トランジスタのベース電流は少なくなる。このため出力電流が少ないときには、出力トランジスタのベース電流によって生じる損失が減少する。つまり出力トランジスタのコレクタ・エミッタ間の電圧により生じる損失（コレクタ損失）が、出力電流の増減によって変化するとき、この変化に対応してベース電流による損失が増減する。その結果、コレクタ損失に対するベース電流による損失の比率は、出力電流が少ないときにも上昇しない。すなわち、出力電流が少ない領域における効率が改善される。

20 【0033】請求項2、4記載の発明の作用を以下に示す。

【0034】電流検出回路は、出力トランジスタに対するカレントマルチプライヤである。そのため出力トランジスタのエミッタ面積に対する電流検出トランジスタのエミッタ面積の比率を $\alpha$ とすると、出力トランジスタのコレクタ電流に $\alpha$ を乗じた電流が電流検出トランジスタのコレクタに流れる。そして電流制御回路は、電流検出トランジスタのコレクタ電流に基づいて出力トランジスタのベース電流を制御する。つまり出力電流の検出において発生する損失は、電流検出トランジスタの損失のみとなる。

30 【0035】請求項3、4記載の発明の作用を以下に示す。

【0036】出力トランジスタのコレクタ・エミッタ間電圧は、コレクタ・エミッタ間の等価インピーダンスに従い、出力電流に対応して変化する。そのため電圧差検出器の出力は、出力トランジスタに流れる出力電流を示す値となる。また出力電流の検出によって生じる損失は、電圧差検出器の電力損失のみとなる。

【0037】

【実施例】以下に、本発明の実施例について図面を参照しつつ説明する。

【0038】図1は、請求項1、4記載の発明のうち、電圧モードのチョッパ型レギュレータおよびチョッパ型レギュレータICの一実施例の電氣的構成を示すブロック図である。なお、同図においては、図9に示すブロックと構成が同一となるブロックには、図9において付与した符号と同一符号を付与している。

50

(5)

7

【0039】基準電圧回路1は、入力端子INに与えられる入力電圧 $V_{IN}$ に対する係数、および温度係数が極めて微小な、安定化された所定電圧である基準電圧を生成するブロックとなっている。そして生成した基準電圧を誤差増幅器2の非反転入力に送出する。

【0040】また誤差増幅器2は、反転入力に接続された端子ADJに導かれる電圧と基準電圧との差異を増幅し、誤差信号として出力するブロックとなっている。そして誤差信号をPWMコンパレータ4の非反転入力に送出する。

【0041】発振器3は、定電流の積分回路等によって構成され、波を生成するブロックとなっている。そして生成した波をPWMコンパレータ4の反転入力に送出する。

【0042】PWMコンパレータ4は、発振器3によって生成された波と誤差信号との比較を行うブロックとなっている。そして比較結果を電流制御回路23に送出する。

【0043】電流検出回路22は、入力端子INから負荷12に到る電流経路の任意の位置における電流を、出力電流として検出するブロックである。そして検出結果を電流制御回路23に送出する。

【0044】電流制御回路23は、PWMコンパレータ4の比較結果に従って、出力トランジスタ19のオンとオフとの制御を行うブロックであり、PWMコンパレータ4からHレベルが送出されるとき、出力トランジスタ19をオンさせる。また出力トランジスタ19のベースに流す電流については、電流検出回路22の検出結果に従って増減を行う。つまり、電流検出回路22の検出結果が、出力電流が少ないことを示す場合、出力トランジスタ19のベース電流を少なくする。また電流検出回路22の検出結果が、出力電流が多いことを示す場合、出力トランジスタ19のベース電流を多くする。

【0045】出力トランジスタ19は、オン時のコレクタ・エミッタ間の電圧を小さくし、コレクタ損失を低減するため、PNPトランジスタとなっている。そして電流制御回路23の制御に従って入力端子INに導かれる電流をスイッチングすると共に、スイッチングした電流を出力端子OUTに送出する。

【0046】出力端子OUTにカソードが接続され、アノードが接地されたキャッチダイオード7は、出力トランジスタ19がオフ状態であるとき、コイル8と負荷12との間に閉回路を形成するためのダイオードである。そして、このダイオードには、コイル8に蓄えられたエネルギーによって生じる電流が流れる。

【0047】コイル8は、出力トランジスタ19のスイッチング時に、エネルギーの蓄積と放出とを行うブロックであり、キャッチダイオード7および出力コンデンサ11と対となることによって、スイッチングされた電圧を直流に変換する。

8

【0048】2つの抵抗9、10からなる分圧回路は、負荷12に与える電圧を設定するためのブロックであり、端子ADJに送出すべき分圧電圧を生成する。

【0049】なお、同図において、24により示されたブロックは、チョップ型レギュレータICのパッケージ内に封止されるブロックとなっており、封止のための構造については、後に詳述する。

【0050】上記構成からなる実施例の動作について、以下に説明する。

10 【0051】出力電圧 $V_0$ を抵抗9、10の分圧回路によって分圧し、分圧電圧を、端子ADJを介して誤差増幅器2に導いている。そのため分圧電圧と基準電圧との誤差が、誤差増幅器2によって増幅され、誤差信号として出力される。PWMコンパレータ4は、発振器3から出力される波と誤差信号との比較を行い、出力トランジスタ19をスイッチングするための信号を生成し、電流制御回路23に送出する。

20 【0052】一方、電流検出回路22は、出力トランジスタ19がオン時の出力電流の検出を行い、検出結果を電流制御回路23に送出する。そのため電流制御回路23は、出力トランジスタ19をオンさせるとき、電流検出回路22が検出した電流値に対応した値のベース電流を引き込む。すなわち、電流制御回路23は、電流検出回路22の検出結果が、出力電流の多いことを示す場合には、引き込むベース電流を多くする。また電流検出回路22の検出結果が、出力電流の少ないことを示す場合には、引き込むベース電流を少なくする。

30 【0053】上記制御の結果、出力トランジスタ19がオンしているときには、入力端子INに導かれた電流は、出力トランジスタ19とコイル8とを介して、負荷12に供給される。このときコイル8はエネルギーの蓄積を行う。そして出力トランジスタ19がオフ状態になると、コイル8に蓄えられたエネルギーは、キャッチダイオード7により形成された経路を介して、負荷12に電流を供給する。

【0054】上記した動作によって負荷12には安定した直流電圧が供給されるが、この供給において、出力電流が小さい場合には、出力トランジスタ19のベース電流が小さい値となるように制御される。そのため下式

40 【0055】

【数3】出力トランジスタ19のベース電流 $\times$ 入力電圧 $V_{IN} \times$ デューティ

により示される駆動損失は、出力電流が少ない範囲では減少する。このため、出力電流と効率との関係は、図14のHでもって示すように、出力電流が少ない領域においても低下しない関係となる。

50 【0056】図2は、請求項1、4記載の発明のうち、電圧モードのチョップ型レギュレータおよびチョップ型レギュレータICの他の実施例の電氣的構成を示すブロック図である。なお、同図においては、図1に示すプロ

(6)

9

ックと構成が同一となるブロックには、図1において付与した符号と同一符号を付与している。

【0057】この実施例においては、図1に示す電流検出回路22を、入力端子INと出力トランジスタ19のエミッタとの間に接続された電流検出用抵抗61と、電流検出用抵抗61の端子間に生じる電圧を増幅する電流検出増幅器26とによって構成したものである。そして電流検出用抵抗61の値は、損失を極力少なくするため、電流検出増幅器26の動作の安定が得られる範囲において、最小の値に設定される。また29により示すブロックは、チョップパ型レギュレータICとして、パッケージ内に封止されている。

【0058】また図1における電流制御回路23は、本実施例では、2つのトランジスタ27、28によって構成されており、トランジスタ28のベースには電流検出増幅器26の出力が接続されている。またトランジスタ28のエミッタは接地されており、そのコレクタは、PWMコンパレータ4の出力と、トランジスタ27のベースとに接続されている。またトランジスタ27のエミッタは接地されており、そのコレクタは出力トランジスタ19のベースに接続されている。

【0059】上記構成からなる実施例の動作について、以下に説明する。

【0060】トランジスタ28は、電流検出増幅器26の出力が出力電流の増加を示すときには、トランジスタ27のベース電流を増加させることによって、出力トランジスタ19のベース電流を増加させる。またトランジスタ28は、電流検出増幅器26の出力が出力電流の減少を示すときには、トランジスタ27のベース電流を減少させ、出力トランジスタ19のベース電流を減少させる。つまりトランジスタ27、28からなる電流制御回路23は、出力電流が減少するときには、出力トランジスタ19のベース電流を減少させる。

【0061】このことにより、出力電流に対する効率は、図14のHにより示す効率となって、出力電流の少ない領域においても効率が低下しない。

【0062】図3は、請求項2、4記載の発明に係る電圧モードのチョップパ型レギュレータおよびチョップパ型レギュレータICの一実施例の電氣的構成を示すブロック図である。なお、同図においては、図1、図2に示すブロックと構成が同一となるブロックには、図1、図2において付与した符号と同一符号を付与している。

【0063】この実施例においては、図1に示す電流検出回路22は、そのエミッタが出力トランジスタ19のエミッタに接続され、そのベースが出力トランジスタ19のベースに接続されたPNP型の電流検出トランジスタ30によって構成されており、電流検出トランジスタ30は、出力トランジスタ19に対するカレントマルチプライアとなっている。

【0064】そのため電流検出トランジスタ30のエミ

10

ッタ面積は、出力トランジスタ19のエミッタ面積に対して、乗じる値に対応した面積となっている。すなわち、出力トランジスタ19のエミッタ面積に対する電流検出トランジスタ30のエミッタ面積を $\alpha$ とすると、電流検出トランジスタ30のコレクタには、出力トランジスタ19のコレクタ電流（出力電流）に $\alpha$ を乗じた電流が出力される。なお、この値 $\alpha$ は、微少な値に設定される。

【0065】また図1における電流制御回路23は、本実施例では、図2に示す構成において用いられた2つのトランジスタ27、28と、2つの抵抗32、33と、2つの抵抗32、33によって分圧された電圧と所定電圧との差異を増幅する増幅器62とによって構成されている。

【0066】また34により示すブロックは、チョップパ型レギュレータICとして、パッケージ内に封止されるブロックとなっている。

【0067】上記構成からなる実施例について、動作を以下に説明する。

【0068】電流検出トランジスタ30のコレクタからは、出力電流に対応する電流が出力されるため、2つの抵抗32、33によって分圧された電圧は、出力電流を示す電圧となる。そのため増幅器62は、出力電流が多いときには、トランジスタ28のコレクタ電流を減少させ、トランジスタ27のベース電流を増加させることによって、出力トランジスタ19のベース電流を増加させる。また増幅器62は、出力電流が少ないときには、トランジスタ28のコレクタ電流を増加させ、トランジスタ27のベース電流を減少させることによって、出力トランジスタ19のベース電流を減少させる。

【0069】このことにより、出力電流に対する効率は、図14のHにより示す効率となって、出力電流の少ない領域においても効率が低下しない。

【0070】図4は、請求項1、4記載の発明のうち、電圧モードのチョップパ型レギュレータおよびチョップパ型レギュレータICの他の実施例の電氣的構成を示すブロック図である。なお、同図においては、図1、図2に示すブロックと構成が同一となるブロックには、図1、図2において付与した符号と同一符号を付与している。

【0071】この実施例においては、図1に示す電流検出回路22は、出力端子OUTとコイル8との間に接続された電流検出用抵抗54と、電流検出用抵抗54の端子間に生じる電圧を増幅する電流検出増幅器26とによって構成されている。そして電流検出用抵抗54の値は、損失を極力少なくするため、電流検出増幅器26の動作の安定が得られる範囲において、最小の値に設定されている。また55により示すブロックは、チョップパ型レギュレータICとして、パッケージ内に封止されている。

【0072】また図1における電流制御回路23は、本

(7)

11

実施例では、2つのトランジスタ27、28によって構成されており、トランジスタ28のベースには電流検出増幅器26の出力が接続されている。またトランジスタ28のエミッタは接地されており、そのコレクタは、PWMコンパレータ4の出力と、トランジスタ27のベースとに接続されている。またトランジスタ27のエミッタは接地されており、そのコレクタは出力トランジスタ19のベースに接続されている。つまり、本実施例は、図2に示した構成における電流検出用抵抗61を外付け部品とした構成となっている。

【0073】上記構成からなる実施例の動作について、以下に説明する。

【0074】トランジスタ28は、電流検出増幅器26の出力が出力電流の増加を示すときには、トランジスタ27のベース電流を増加させることによって、出力トランジスタ19のベース電流を増加させる。またトランジスタ28は、電流検出増幅器26の出力が出力電流の減少を示すときには、トランジスタ27のベース電流を減少させ、出力トランジスタ19のベース電流を減少させる。つまりトランジスタ27、28からなる電流制御回路23は、出力電流が減少するときには、出力トランジスタ19のベース電流を減少させる。

【0075】このことにより、出力電流に対する効率は、図14のHにより示す効率となつて、出力電流の少ない領域においても効率が低下しない。

【0076】図5は、請求項3、4記載の発明に係る電圧モードのチョップパ型レギュレータおよびチョップパ型レギュレータICの一実施例の電氣的構成を示すブロック図である。なお、同図においては、図1、図2に示すブロックと構成が同一となるブロックには、図1、図2において付与した符号と同一符号を付与している。

【0077】この実施例においては、図1に示す電流検出回路22は、出力トランジスタ19のエミッタとコレクタとの電圧差を検出する電圧差検出器56によって構成されている。また図1における電流制御回路23は、本実施例では、図2において用いられた2つのトランジスタ27、28によって構成されている。

【0078】また57により示すブロックは、チョップパ型レギュレータICとして、パッケージ内に封止されるブロックとなっている。

【0079】上記構成からなる実施例について、動作を以下に説明する。

【0080】出力トランジスタ19のエミッタとコレクタとの電圧差は、出力電流に対応して変化する電圧となる。そのため電圧差検出器56からは、出力電流の値に対応した電圧が出力される。この結果、電圧差検出器56は、出力電流が多いときには、トランジスタ28のコレクタ電流を減少させ、トランジスタ27のベース電流を増加させることによって、出力トランジスタ19のベース電流を増加させる。また電圧差検出器56は、出力

12

電流が少ないときには、トランジスタ28のコレクタ電流を増加させ、トランジスタ27のベース電流を減少させることによって、出力トランジスタ19のベース電流を減少させる。

【0081】このことにより、出力電流に対する効率は、図14のHにより示す効率となつて、出力電流の少ない領域においても効率が低下しない。

【0082】図6は、請求項1、4記載の発明のうち、電流モードのチョップパ型レギュレータおよびチョップパ型レギュレータICの他の実施例の電氣的構成を示すブロック図である。なお、同図においては、図11に示すブロックと構成が同一となるブロックには、図11において付与した符号と同一符号を付与している。

【0083】基準電圧回路1は、入力端子INに与えられる入力電圧 $V_{IN}$ に対する係数、および温度係数が極めて微小な、安定化された所定電圧である基準電圧を生成するブロックとなっている。そして生成した基準電圧を誤差増幅器2の非反転入力に送出する。

【0084】また誤差増幅器2は、反転入力に接続された端子ADJに導かれる電圧と基準電圧との差異を増幅し、誤差信号として出力するブロックとなっている。そして誤差信号をPWMコンパレータ4の非反転入力に送出する。

【0085】PWMコンパレータ4は、電流検出増幅器15が出力する信号と誤差信号との比較を行うブロックとなっている。そして比較結果をフリップフロップ14のリセット入力に送出する。

【0086】発振器17は、一定間隔のパルス列を生成するブロックとなっている。そして生成したパルス列をフリップフロップ14のセット入力に送出する。

【0087】フリップフロップ14は、PWMコンパレータ4からHレベルが送出されるとリセットされ、発振器17からのパルス列の各パルスが導かれる毎にセットされるフリップフロップである。そして反転出力を電流制御回路23に送出する。

【0088】電流検出回路22は、入力端子INから負荷12に到る電流経路の任意の位置における電流を、出力電流として検出するブロックである。そして検出結果を電流制御回路23に送出する。

【0089】電流制御回路23は、フリップフロップ14の出力に従って、出力トランジスタ19のオンとオフとの制御を行うブロックであり、フリップフロップ14からLレベルが送出されると出力トランジスタ19をオンさせる。そして、この制御のために出力トランジスタ19のベースに流す電流については、電流検出回路22の検出結果に従って増減を行う。つまり、電流検出回路22の検出結果が、出力電流が少ないことを示す場合、出力トランジスタ19のベース電流を少なくする。また電流検出回路22の検出結果が、出力電流が多いことを示す場合、出力トランジスタ19のベース電流を多くす



(8)

13

る。

【0090】出力トランジスタ19は、オン時のコレクタ・エミッタ間の電圧を小さくするため、PNPトランジスタとなっている。そして電流制御回路23の制御に従って入力端子INに導かれる電流をスイッチングすると共に、スイッチングした電流を出力端子OUTに送出する。

【0091】なお、同図において、35により示されたブロックは、チョップパ型レギュレータICのパッケージ内に封止されるブロックとなっており、封止のための構造については、後に詳述する。

【0092】また、電流検出回路22、電流制御回路23の具体的構成については、図2～図5において構成を説明した電流検出回路22、電流制御回路23の構成を用いることが可能である。このとき、電流制御回路23の構成に応じて、フリップフロップ14の出力の論理が反転される（フリップフロップ14の非反転出力Q（図示を省略）を電流制御回路23に送出する）。

【0093】上記構成からなる実施例の動作について、以下に説明する。

【0094】出力トランジスタ19のスイッチングは、電流検出用抵抗25の端子電圧を監視することによって制御され、出力端子OUTの電圧が一定となるように制御される。

【0095】この制御において、電流検出回路22は、出力トランジスタ19がオン時の出力電流の検出を行い、検出結果を電流制御回路23に送出する。そのため電流制御回路23は、出力トランジスタ19をオンさせるとき、電流検出回路22が検出した電流値に対応する値のベース電流を引き込む。すなわち、電流制御回路23は、電流検出回路22の検出結果が、出力電流の多いことを示す場合には、引き込むベース電流を多くする。また電流検出回路22の検出結果が、出力電流の少ないことを示す場合には、引き込むベース電流を少なくする。

【0096】上記制御の結果、出力電流と効率との関係は、図14のHでもって示すように、出力電流が少ない領域においても低下しない関係となる。

【0097】図7は、本発明に係るチョップパ型レギュレータICの一実施例の内部構成図である。

【0098】回路チップ部41は、ブロック24、29、34、35、57（図1～図3、図5および図6参照）のうちの任意の1つのブロックから、出力トランジスタ19を除いた回路部を集積したチップ部となっている。またトランジスタチップ部42は、出力トランジスタ19を形成したチップ部となっている。そして回路チップ部41とトランジスタチップ部42とは一体に形成されたチップ部65となっており、半田からなる接合部40でもって、金属フレーム38上にダイボンディングにより固着されている。

14

【0099】また金属フレーム38には、一端側の中央からややずれた部位において長く伸びるアウターリードフレーム47が形成されており、このアウターリードフレーム47はGND端子となっている。

【0100】またアウターリードフレーム47の紙面における左側には、出力端子OUTを構成するアウターリードフレーム46が、アウターリードフレーム47と平行となるように設けられている。そしてアウターリードフレーム47の紙面における右側には、入力端子INを構成するアウターリードフレーム48が、アウターリードフレーム47と平行となるように設けられている。またアウターリードフレーム48の紙面における右側には、端子ADJを構成するアウターリードフレーム49が、アウターリードフレーム47と平行となるように設けられている。

【0101】またトランジスタチップ部42に形成された、コレクタとなるコンタクト部42aは、金属ワイヤ39によってアウターリードフレーム46に接続されている。またエミッタとなるコンタクト部42bが、金属ワイヤ39によってアウターリードフレーム48に接続されている。また回路チップ部41に形成された接地用のコンタクト部41aは、金属ワイヤ39によって、金属フレーム38に接続されている。また回路チップ部41に形成されたフィードバック用コンタクト部41bは、金属ワイヤ39によって、アウターリードフレーム49に接続されている。

【0102】そしてチップ部65と金属フレーム38とは、アウターリードフレーム46～49の一端部と共にパッケージ37に封止されている。このパッケージ37は、エポキシ樹脂等の外装用樹脂からなっており、トランスファーマールド等の工程により形成されている。

【0103】図8は、本発明に係るチョップパ型レギュレータICの他の実施例の内部構成図である。なお、図7に示す構成と同一構成となる部分については、図7において付与した符号と同一符号を付与している。

【0104】トランジスタチップ部45は、出力トランジスタ19をチップ化したものであり、回路チップ部44は、ブロック24、29、35、57（図1、図2、図6および図5参照）のうちの任意の1つのブロックから、出力トランジスタ19を除いた回路部を集積したチップ部である。そして回路チップ部44とトランジスタチップ部45とは、互いに独立したチップ部となっている。

【0105】また金属フレーム38には、一端側の中央からややずれた部位において長く伸びるアウターリードフレーム51が形成されており、このアウターリードフレーム51は出力端子OUTとなっている。またアウターリードフレーム51の紙面における左側には、入力端子INを構成するアウターリードフレーム50が、アウターリードフレーム51と平行となるように設けられて

15

いる。またアウターリードフレーム 51 の紙面における右側には、GND 端子を構成するアウターリードフレーム 52 が、アウターリードフレーム 51 と平行となるように設けられている。そしてアウターリードフレーム 52 の紙面における右側には、端子 ADJ を構成するアウターリードフレーム 53 が、アウターリードフレーム 51 と平行となるように設けられている。

【0106】また上記した 2 つのチップ部 44、45 のうち、トランジスタチップ部 45 は、半田からなる接合部 66 でもって、金属フレーム 38 上にダイボンディングにより固着されている。また回路チップ部 44 は、絶縁ペースト 43 により、金属フレーム 38 上にダイボンディングにより固着されている。

【0107】そしてトランジスタチップ部 45 に形成された、ベースとなるコンタクト部 45a は、金属ワイヤ 39 により、回路チップ部 44 の電流制御回路用コンタクト部 44d と接続されている。またトランジスタチップ部 45 のコレクタ電極は、半田からなる接合部 66 によって、金属フレーム 38 を介し、アウターリードフレーム 51 に接続されている。またトランジスタチップ部 45 のエミッタであるコンタクト部 45b は、金属ワイヤ 39 によってアウターリードフレーム 50 に接続されている。

【0108】また回路チップ部 44 の接地用のコンタクト部 44a は、金属ワイヤ 39 によってアウターリードフレーム 52 に接続され、フィードバック用のコンタクト部 44b は、金属ワイヤ 39 によってアウターリードフレーム 53 に接続され、入力電圧用のコンタクト部 44c は、金属ワイヤ 39 によってアウターリードフレーム 50 に接続されている。

【0109】そしてチップ部 65 と金属フレーム 38 とは、アウターリードフレーム 50～53 の一端部と共にパッケージ 37 に封止されている。このパッケージ 37 は、エポキシ樹脂等の外装用樹脂からなっており、トランスファーマールド等の工程により形成されている。

【0110】なお、本発明は上記実施例に限定されず、図 7、図 8 に示す構成に、アウターリードフレームを 2 本追加した構成とすることにより、ブロック 55 として電氣的構成が示されたチョッパ型レギュレータ IC とすることが可能である。

【0111】またトランジスタチップ部 45 に電流検出トランジスタ 30 を形成した構成とし、図 8 に示す構成の IC を、ブロック 34 により電氣的構成が示されるチョッパ型レギュレータ IC とすることが可能である。

【0112】また図 6 に示す電流モードのチョッパ型レギュレータおよびチョッパ型レギュレータ IC の構成においては、電流検出回路 22 を電流検出増幅器 15 と共用とし、電流検出増幅器 15 の出力を電流制御回路 23 に導く構成とすることが可能である。そして、この場合には、出力トランジスタ 19 のベース電流の制御が、電

(9)

16

流制御回路 23 を追加するのみで可能となるため、回路構成が簡単化されるという効果を得ることができる。

### 【0113】

【発明の効果】請求項 1、4 記載の発明に係るチョッパ型レギュレータおよびチョッパ型レギュレータ IC は、基準電圧と出力電圧との誤差に基づいて、PNP トランジスタである出力トランジスタのスイッチングを制御することにより、出力電圧を安定化するチョッパ型レギュレータに適用し、出力トランジスタに流れる出力電流を検出する電流検出回路を備えている。そして電流検出回路により検出された出力電流に基づき、この出力電流が少ないときには出力トランジスタに流れるベース電流を少なくする制御を行う電流制御回路を備えているため、検出した出力電流に対応して出力トランジスタのベース電流が制御される。そのため出力電流が小さい範囲において生じる効率の低下を防止することが可能となっている。

【0114】また請求項 2、4 記載の発明に係るチョッパ型レギュレータおよびチョッパ型レギュレータ IC は、電流検出回路を、出力トランジスタのエミッタにそのエミッタが接続され、出力トランジスタのベースにそのベースが接続された PNP トランジスタである電流検出トランジスタとし、電流制御回路は、この電流検出トランジスタのコレクタ電流に基づいて出力トランジスタのベース電流を制御している。そのため出力電流の検出により増加する消費電力は、電流検出トランジスタの消費電力のみとなる。このため出力電流の検出において生じる損失を微少とすることが可能となっている。

【0115】また請求項 3、4 記載の発明に係るチョッパ型レギュレータおよびチョッパ型レギュレータ IC は、電流検出回路を、出力トランジスタのエミッタとコレクタとの電圧差を検出する電圧差検出器としている。そのため出力電流の検出により増加する消費電力は、電圧差検出器の消費電力のみとなることから、出力電流の検出において生じる損失を微少とすることが可能となっている。

### 【図面の簡単な説明】

【図 1】請求項 1、4 記載の発明に係るチョッパ型レギュレータおよびチョッパ型レギュレータ IC の一実施例の電氣的構成を示すブロック図である。

【図 2】請求項 1、4 記載の発明に係るチョッパ型レギュレータおよびチョッパ型レギュレータ IC の他の実施例の電氣的構成を示すブロック図である。

【図 3】請求項 2、4 記載の発明に係るチョッパ型レギュレータおよびチョッパ型レギュレータ IC の一実施例の電氣的構成を示すブロック図である。

【図 4】請求項 1、4 記載の発明に係るチョッパ型レギュレータおよびチョッパ型レギュレータ IC の他の実施例の電氣的構成を示すブロック図である。

【図 5】請求項 3、4 記載の発明に係るチョッパ型レギ

(10)

17

レギュレータおよびチョップパ型レギュレータICの一実施例の電氣的構成を示すブロック図である。

【図6】請求項1、4記載の発明に係るチョップパ型レギュレータおよびチョップパ型レギュレータICの他の実施例の電氣的構成を示すブロック図である。

【図7】請求項4記載の発明に係るチョップパ型レギュレータICの構造図である。

【図8】請求項4記載の発明に係るチョップパ型レギュレータICの構造図である。

【図9】電圧モードのチョップパ型レギュレータの従来技術の電氣的構成を示すブロック図である。

【図10】図9に示す従来技術の主要信号の波形を示す説明図である。

【図11】電流モードのチョップパ型レギュレータの従来技術の電氣的構成を示すブロック図である。

【図12】図11に示す従来技術の主要信号の波形を示す説明図である。

【図13】電圧モードのチョップパ型レギュレータの従来

18

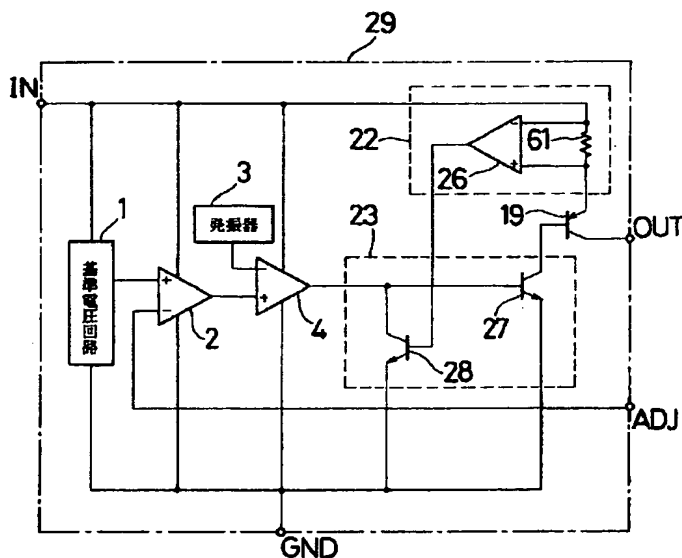
技術の電氣的構成を示すブロック図である。

【図14】チョップパ型レギュレータにおける出力電流と効率との関係を示す説明図である。

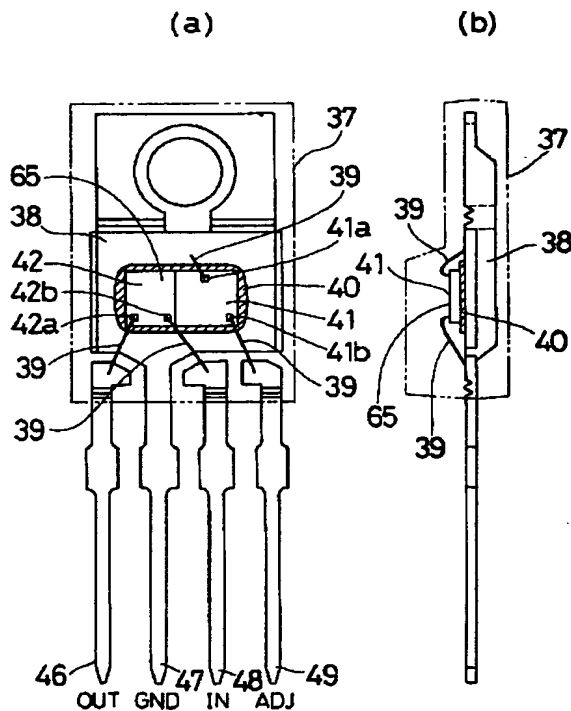
【符号の説明】

- 1 基準電圧回路
- 2 誤差増幅器
- 3 発振器
- 4 PWMコンパレータ
- 7 キャッチダイオード
- 8 コイル
- 11 出力コンデンサ
- 12 負荷
- 19 出力トランジスタ
- 22 電流検出回路
- 23 電流制御回路
- 30 電流検出トランジスタ
- 56 電圧差検出器

【図2】

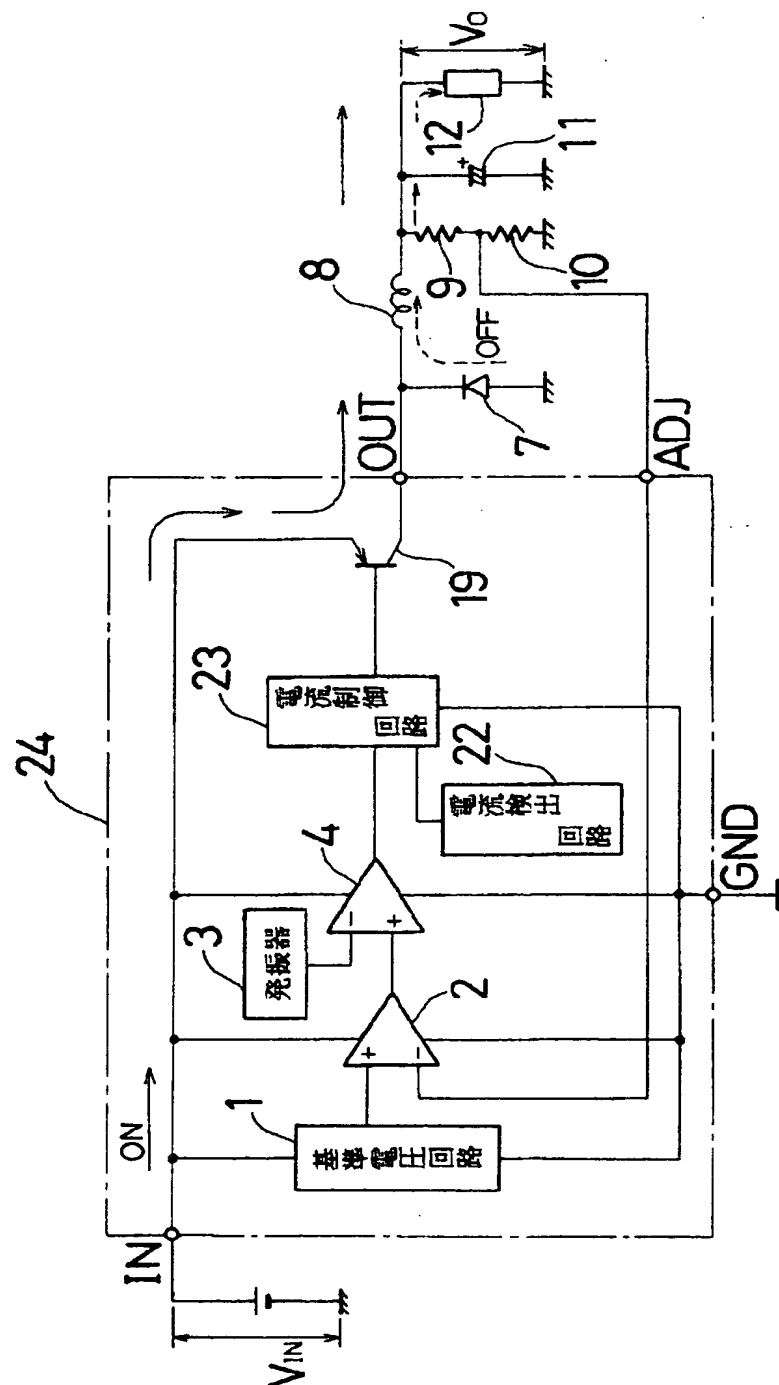


【図7】



(11)

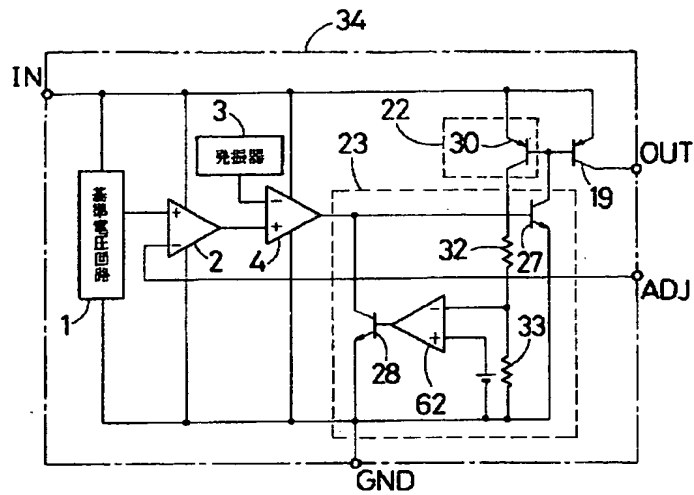
【図1】



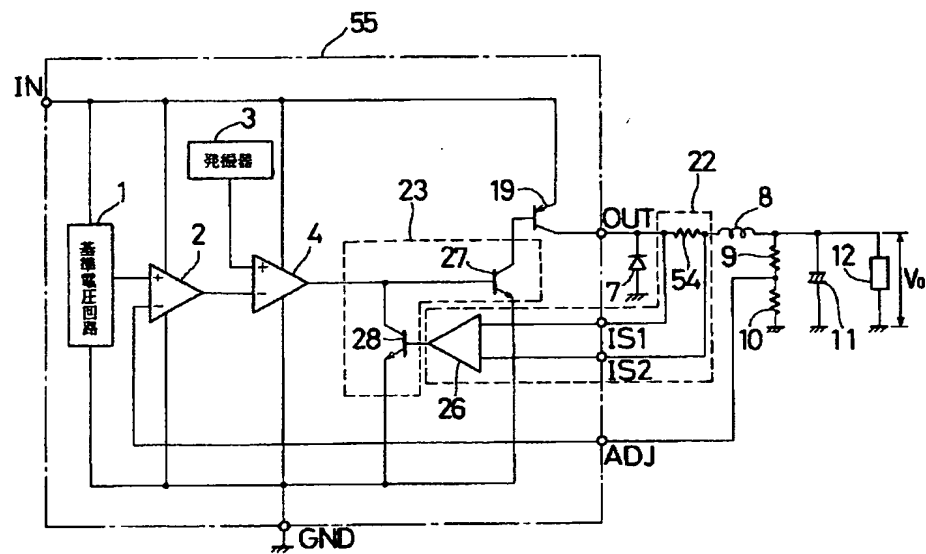
BEST AVAILABLE COPY

(12)

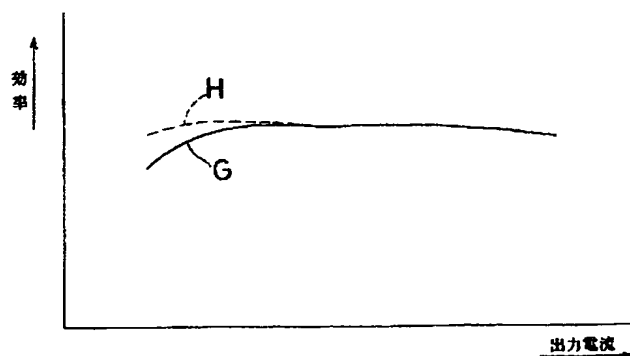
【図3】



【図4】



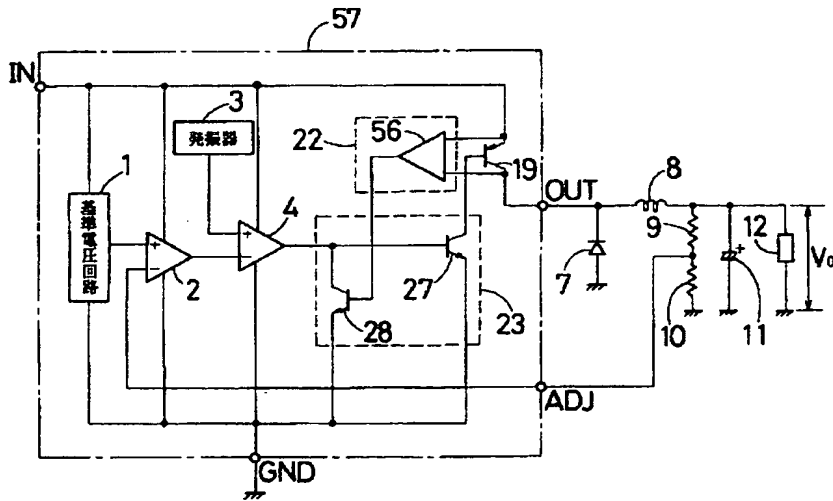
【図14】



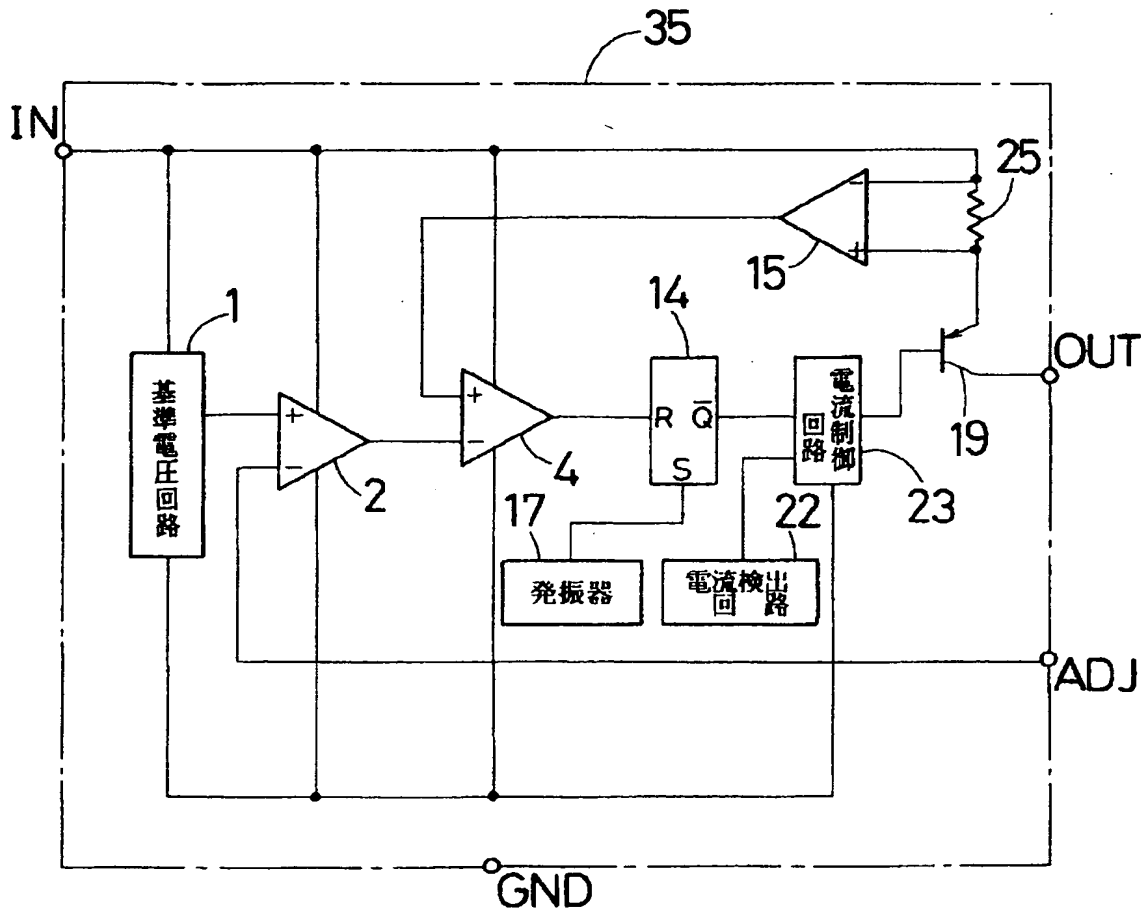
BEST AVAILABLE COPY

(13)

【図5】

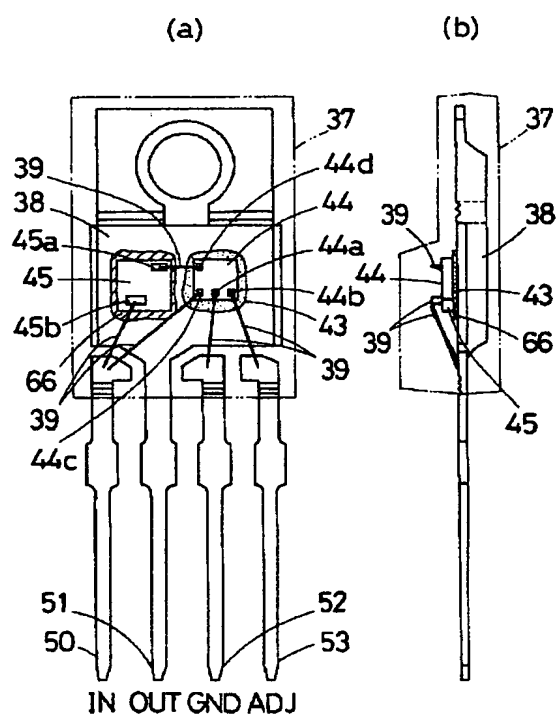


【図6】

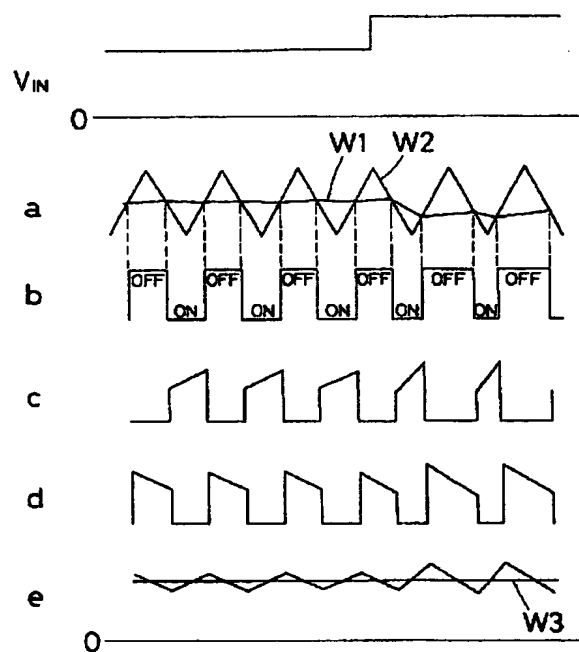


(14)

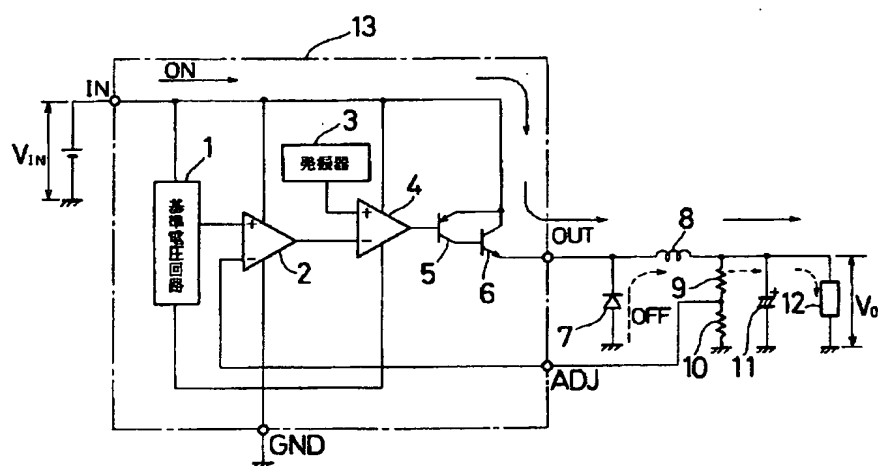
【図8】



【図10】



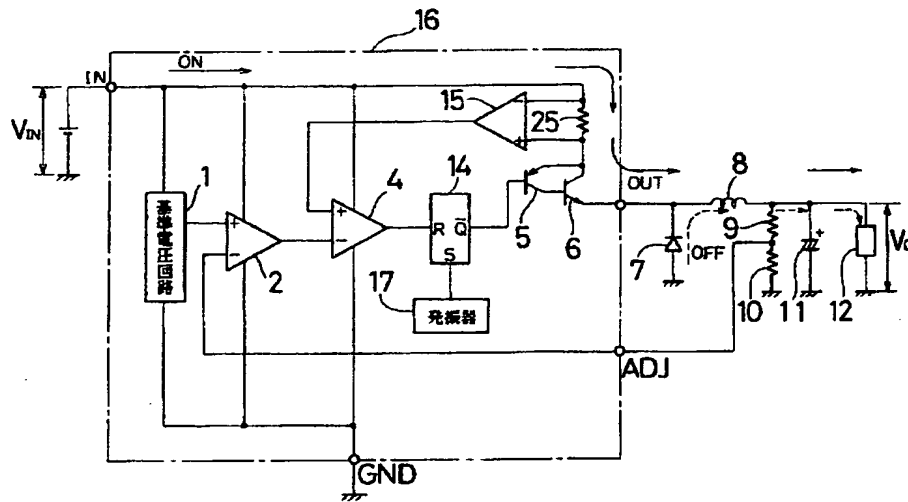
【図9】



BEST AVAILABLE COPY

(15)

【図11】



【図12】

